

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

800P1562US00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

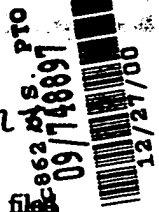
1999年12月28日

出願番号  
Application Number:

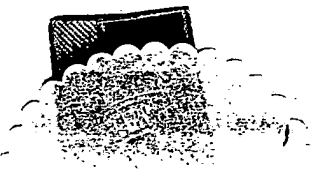
平成11年特許願第375012号

出願人  
Applicant(s):

ソニー株式会社



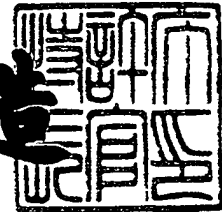
CERTIFIED COPY OF  
PRIORITY DOCUMENT



2000年 9月29日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3079935



【書類名】 特許願

【整理番号】 9900844201

【提出日】 平成11年12月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/10

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
                                内

    【氏名】 賀川 隆

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
                                内

    【氏名】 井上 光司

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

    【代表者】 出井 伸之

【代理人】

    【識別番号】 100080883

    【弁理士】

    【氏名又は名称】 松隈 秀盛

    【電話番号】 03-3343-5821

【手数料の表示】

    【予納台帳番号】 012645

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

特平 1 1 - 3 7 5 0 1 2

【包括委任状番号】 9707386

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像信号再生装置

【特許請求の範囲】

【請求項 1】 圧縮されて記録された映像信号をデコードして再生すると共に、前記デコードした映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す機能を有する映像信号再生装置であって、

前記映像信号の 1 または複数のフレームを記憶する記憶手段と、

前記取り出した映像信号及び／または前記記憶手段に記憶した映像信号にそれぞれ任意の係数を乗算する複数の加重手段と、

前記複数の加重手段の出力信号を加算する加算手段とを有し、

前記取り出した映像信号を徐々に入れ替えて出力することを特徴とする映像信号再生装置。

【請求項 2】 請求項 1 記載の映像信号再生装置において、

前記取り出した映像信号及び前記記憶手段に記憶した映像信号にそれぞれ任意の係数を乗算する複数の加重手段を設け、

前記加算手段の加算信号を前記記憶手段に供給する経路と前記加算手段の加算信号を出力する経路とを有することを特徴とする映像信号再生装置。

【請求項 3】 請求項 1 記載の映像信号再生装置において、

前記記憶手段には前記取り出した映像信号を順次記憶すると共に、

前記記憶手段に記憶した複数のフレームの映像信号にそれぞれ任意の係数を乗算する複数の加重手段を設け、

前記加算手段の加算信号を出力する経路を有することを特徴とする映像信号再生装置。

【請求項 4】 請求項 1 記載の映像信号再生装置において、

前記加重手段の係数を制御する制御手段を設け、

前記取り出した映像信号の入れ替えに掛かる時間を制御することを特徴とする映像信号再生装置。

【請求項 5】 請求項 1 記載の映像信号再生装置において、

前記記憶手段は、前記映像信号をフレーム単位またはフィールド単位で記憶す

ることを特徴とする映像信号再生装置。

【請求項 6】 請求項 1 記載の映像信号再生装置において、

前記映像信号の前後のフレームを比較してノイズを低減するノイズ低減回路を有し、

前記記憶手段として前記ノイズ低減回路に設けられる記憶装置を用いることを特徴とする映像信号再生装置。

【請求項 7】 請求項 1 記載の映像信号再生装置において、

前記映像信号を圧縮するエンコーダ回路を有し、

前記記憶手段として前記エンコーダ回路に設けられる記憶装置を用いることを特徴とする映像信号再生装置。

【請求項 8】 請求項 1 記載の映像信号再生装置において、

前記圧縮されて記録された映像信号を記録時とは異なる時系列で再生する際に前記取り出した映像信号を徐々に入れ替えて出力することを特徴とする映像信号再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば Moving Picture coding Experts Group (以下 MPEG と略称する) 方式で圧縮されて記録された映像信号を、デコードして再生する際に使用して好適な映像信号再生装置に関する。詳しくは、MPEG 方式で記録された記録媒体を高速サーチ等で再生する際に、良好な再生表示が行われるようにするものである。

【0002】

【従来の技術】

例えば MPEG 方式で圧縮されて記録された映像信号をデコードして再生する映像信号再生装置においては、例えば映像信号の 15 フレームごとに設けられる単独でデコード可能な I フレームと呼ばれるフレームをデコードする。そしてこのデコードされた I フレームを用いて、フレームの間の差分によって形成される P 及び B フレームと呼ばれるフレームをデコードして、映像信号を形成する全フ

レームの再生を行うようになされている。

【0003】

そこでこのようなMPEG方式で記録された記録媒体を、例えば高速サーチのような記録時とは異なる時系列で再生する場合には、例えば上述の単独でデコード可能なIフレームのみを順番にデコードして映像信号を形成することが行われる。すなわち例えば上述のようにIフレームが映像信号の15フレームごとに設けられている場合には、このIフレームのみを再生することによって15倍速の高速サーチの再生を行うことができることになる。

【0004】

ところが現実には、上述のIフレームを各フレームに付加されたアドレス等に基づいて検出するのに時間が掛かり、このような検出を行いながらの再生では、例えば1秒間に3～5フレーム程度しか再生することができない。このため従来の装置では、例えば1秒間に3～5フレームの再生される間の期間には直前のフレームを繰り返すことによって、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出すことが行われていた。

【0005】

しかしながらこのような映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまう。すなわち例えば15倍速で每秒5フレームの表示が行われている場合には、各表示されるフレームは90フレームごとのものとなる。従って各表示されるフレームの間隔は標準の再生時間で3秒間隔となり、例えばアナログ方式のVTRでの0.5秒間隔より間隔が大きくなって不自然になる。

【0006】

また、例えば每秒5フレームの表示が行われている場合には、各フレームが表示される時間は0.2秒となり、観視者が各フレームの画像を十分に知覚できる時間となる。従って、このような知覚された画像が間欠的に更新される表示は、例えば従来のアナログ方式のVTRの高速サーチのような十分な知覚を伴わない画像が連続的に近い状態で見える表示に比べて、観視者には極めて不自然に見えるってしまうものである。

## 【0 0 0 7】

## 【発明が解決しようとする課題】

この出願はこのような点に鑑みて成されたものであって、解決しようとする問題点は、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまうというものである。

## 【0 0 0 8】

## 【課題を解決するための手段】

このため本発明においては、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、この映像信号を徐々に入れ替えて出力するようにしたものであって、これによれば、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。

## 【0 0 0 9】

## 【発明の実施の形態】

すなわち本発明は、圧縮されて記録された映像信号をデコードして再生すると共に、デコードした映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す機能を有する映像信号再生装置であって、映像信号の 1 または複数のフレームを記憶する記憶手段と、取り出した映像信号及び／または記憶手段に記憶した映像信号にそれぞれ任意の係数を乗算する複数の加重手段と、複数の加重手段の出力信号を加算する加算手段とを有し、取り出した映像信号を徐々に入れ替えて出力するようにしたものである。

## 【0 0 1 0】

以下、図面を参照して本発明を説明するに、図 1 は本発明を適用した映像信号再生装置の一の実施形態の構成を示すブロック図である。なお、図 1 の実施形態では、例えば M P E G 方式で圧縮された映像信号がディスク状の記録媒体に記録されている場合を示しているが、本発明は任意の圧縮方式に適用されるものであり、また、記録媒体もディスクに限らずテープ等の他の形式の記録媒体にも適用できるものである。

## 【0 0 1 1】

図 1 において、例えばディスク 1 には、例えば M P E G 方式で圧縮された映像信号が記録されており、このディスク 1 に記録された圧縮された映像信号がピックアップ 2 を通じて再生される。このピックアップ 2 からの再生信号が、再生処理部 3 に供給されて例えば M P E G 方式のビットストリームが取り出され、このビットストリームが例えば M P E G 方式のデコーダ回路 4 に供給される。これによってデコーダ回路 4 からは、圧縮を復元した映像信号が出力される。

## 【0012】

すなわちこのデコーダ回路 4 では、例えば M P E G 方式で圧縮された映像信号の中から、例えば 15 フレームごとに設けられる単独でデコード可能な I フレームと呼ばれるフレームがデコードされる。そしてこのデコードされた I フレームを用いて、フレームの間の差分によって形成される P 及び B フレームと呼ばれるフレームがデコードされる。これにより、映像信号を形成する全フレームが復元されて、映像信号の再生が行われるものである。

## 【0013】

そしてこの装置において、例えば高速サーチのような記録時とは異なる時系列で再生する場合には、例えば上述の単独でデコード可能な I フレームのみが順番にデコードされて映像信号が形成される。これによって例えば I フレームが映像信号の 15 フレームごとに設けられている場合には、この I フレームのみが再生されることで 15 倍速の高速サーチの再生が行われる。ただし、上述したように毎フレームに I フレームを検出してデコードすることはできないものである。

## 【0014】

そこで上述したように、例えば 15 倍速で毎秒 5 フレームの表示が行われている場合には、各表示されるフレームは 90 フレームごとのものとなる。すなわち例えばデコーダ回路 4 で判別された I フレームのアドレスが制御用のマイクロコンピュータ 5 に供給され、このマイクロコンピュータ 5 では、例えば上述の倍速値と毎秒の表示フレーム数とから次に再生される I フレームのアドレスが算出される。そしてそのアドレスにピックアップ 2 を送るように制御が行われる。

## 【0015】

なおデコーダ回路 4 にはメモリー 6 が併設され、このメモリー 6 に再生中の信



号に関わる I フレームが記憶されている。従って例えば再生中に高速サーチへの切り換えが行われた場合には、まずこのメモリー 6 に記憶されている I フレームの信号が出力され、そこから例えば 9 0 フレーム後のアドレスにピックアップ 2 を送る制御が行われる。またマイクロコンピュータ 5 には、再生、停止の制御や高速サーチ時の倍速値の設定等が行う操作部 7 が設けられる。

## 【 0 0 1 6 】

このようにしてデコーダ回路 4 からは、例えば 9 0 フレームごとの I フレームの映像信号が取り出される。そしてこの場合に、例えば 9 0 フレーム後の I フレームの信号を取り出すのには、6 フレーム期間程度の時間が掛かることになり、その間は前の I フレームの信号が繰り返し出力される。これによりこのデコーダ回路 4 からは、各デコードされた I フレームがフレーム単位で所定時間ずつ間欠的に更新して取り出されるようにされた映像信号が出力されることになる。

## 【 0 0 1 7 】

そしてこの装置において、このデコーダ回路 4 からの信号が例えば係数 0. 5 の第 1 の加重回路となるアンプ 1 1 を通じて加算手段となる加算器 1 2 に供給される。さらにこの加算器 1 2 からの加算信号が出力端子 1 3 に取り出されると共に、例えば 1 フレームの記憶手段となるフレームメモリー 1 4 に供給される。またこのフレームメモリー 1 4 に記憶された信号が、例えば係数 0. 5 の第 2 の加重回路となるアンプ 1 5 を通じて加算器 1 2 に供給される。

## 【 0 0 1 8 】

これによりこの装置において、同じフレームの信号が繰り返されている間は、アンプ 1 1、1 5 からは同じ信号が加算器 1 2 に供給されて、同じフレームの信号が出力端子 1 3 に出力される。これに対してデコーダ回路 4 からの信号が更新されると、まず最初のフレームでは前のフレームと更新されたフレームが 0. 5 : 0. 5 で加算された信号が出力され、次のフレームでは前のフレームと更新されたフレームが 0. 2 5 : 0. 7 5 で加算された信号が出力される。

## 【 0 0 1 9 】

さらに次のフレームでは、前のフレームと更新されたフレームが 0. 1 2 5 : 0. 8 7 5 で加算された信号が出力されて、前のフレームと更新されたフレーム

とが徐々に入れ替えられて出力される。なおこのままでは前のフレームは永久に残っているように見えるが、実際には3～4フレーム程度で前のフレームの影響は検知限以下となり、更新されたフレームに置き換えられることになる。そしてこの動作がデコーダ回路4からの信号が更新される度に繰り返される。

## 【0020】

こうしてこの装置によれば、デコーダ回路4でデコードされたIフレームが更新される度に、出力端子13には前のフレームと更新されたフレームとが徐々に入れ替えられた映像信号が出力されることになる。これにより観視者には、表示されるフレームが連続して変化されるように見えることになり、例えば従来のアナログ方式のVTRの高速サーチと同様の連続して変化される表示が見えることで、観視者に自然な感じを与えることができるものである。

## 【0021】

従ってこの装置において、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、記憶手段と加重手段と加算手段による帰還型の回路を用いてこの映像信号を徐々に入れ替えて出力することによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。

## 【0022】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。

## 【0023】

ところで上述の構成で、例えばアンプ11、15での加重を共に係数0.5とした場合には3～4フレーム程度で入れ替えが行われる。これは例えば毎秒5フレームの表示で6フレームごとに信号が更新されている場合には適当な値である。ところが例えば倍速値を30倍速や150倍速にした場合には、例えば次のアドレスにピックアップ2を送るまでの時間が長く掛かり、例えば毎秒3フレームの表示で10フレームごとの信号の更新となることがある。

## 【0024】

そこで例えば10フレームごとの更新に対して上述の3~4フレームの入れ替えでは、間欠的な表示が解消されずに不自然に見えてしまう恐れがある。これに対して、例えばアンプ11での加重を係数0.25、アンプ15での加重を係数0.75とすることにより、前のフレームと更新されたフレームの割合とが、最初のフレームでは0.75:0.25となり、次のフレームでは0.5625:0.4375となって、入れ替えに掛かる時間を長くすることができる。

## 【0025】

しかしながらこのように入れ替えに掛かる時間を長くしておく、例えば更新が短い間隔で行われる場合に、更新時に前々のフレームの信号の影響が残っていることになり、却って不自然な表示になってしまう恐れがある。このような点に鑑みて上述の装置では、さらに例えば制御手段としてのマイクロコンピュータ5によってアンプ11、15での加重の係数値を制御し、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができる。

## 【0026】

すなわち上述の装置において、表示されるフレームの更新の頻度は、例えば高速サーチの倍速値等によって予め定まっているものである。従ってマイクロコンピュータ5では、操作部7から設定される倍速値等によって表示されるフレームの更新の頻度を予め知ることができる。そしてこの頻度に応じて予め設定された値にアンプ11、15での加重の係数値を制御することにより、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができるものである。

## 【0027】

従って上述の装置において、加重手段の係数を制御する制御手段として例えば制御用のマイクロコンピュータを設け、取り出した映像信号の入れ替えに掛かる時間を、例えばフレームの更新の頻度に応じて制御することによって、フレームの更新の頻度に変化しても表示の不自然さが生じないようにすることができるものである。

## 【0028】

さらに図2には、本発明を適用した映像信号再生装置の他の実施形態の構成のブロック図を示す。なお、図2の実施形態では、例えばMPEG方式で圧縮され

た映像信号がディスク状の記録媒体に記録されている場合を示しているが、本発明は任意の圧縮方式に適用されるものであり、また、記録媒体もディスクに限らずテープ等の他の形式の記録媒体にも適用できるものである。

## 【0029】

図2において、例えばディスク1には、例えばMPEG方式で圧縮された映像信号が記録されており、このディスク1に記録された圧縮された映像信号がピックアップ2を通じて再生される。このピックアップ2からの再生信号が、再生処理部3に供給されて例えばMPEG方式のビットストリームが取り出され、このビットストリームが例えばMPEG方式のデコーダ回路4に供給される。これによってデコーダ回路4からは、圧縮を復元した映像信号が出力される。

## 【0030】

すなわちこのデコーダ回路4では、例えばMPEG方式で圧縮された映像信号の中から、例えば15フレームごとに設けられる単独でデコード可能なIフレームと呼ばれるフレームがデコードされる。そしてこのデコードされたIフレームを用いて、フレームの間の差分によって形成されるP及びBフレームと呼ばれるフレームがデコードされる。これにより、映像信号を形成する全フレームが復元されて、映像信号の再生が行われるものである。

## 【0031】

そしてこの装置において、例えば高速サーチのような記録時とは異なる時系列で再生する場合には、例えば上述の単独でデコード可能なIフレームのみが順番にデコードされて映像信号が形成される。これによって例えばIフレームが映像信号の15フレームごとに設けられている場合には、このIフレームのみが再生されることで15倍速の高速サーチの再生が行われる。ただし、上述したように毎フレームにIフレームを検出してデコードすることはできないものである。

## 【0032】

そこで上述したように、例えば15倍速で毎秒5フレームの表示が行われている場合には、各表示されるフレームは90フレームごとのものとなる。すなわち例えばデコーダ回路4で判別されたIフレームのアドレスが制御用のマイクロコンピュータ5に供給され、このマイクロコンピュータ5では、例えば上述の倍速

値と毎秒の表示フレーム数とから次に再生される I フレームのアドレスが算出される。そしてそのアドレスにピックアップ 2 を送るよう制御が行われる。

【0033】

なおデコーダ回路 4 にはメモリー 6 が併設され、このメモリー 6 に再生中の信号に関わる I フレームが記憶されている。従って例えば再生中に高速サーチへの切り換えが行われた場合には、まずこのメモリー 6 に記憶されている I フレームの信号が出力され、そこから例えば 90 フレーム後のアドレスにピックアップ 2 を送る制御が行われる。またマイクロコンピュータ 5 には、再生、停止の制御や高速サーチ時の倍速値の設定等が行う操作部 7 が設けられる。

【0034】

このようにしてデコーダ回路 4 からは、例えば 90 フレームごとの I フレームの映像信号が取り出される。そしてこの場合に、例えば 90 フレーム後の I フレームの信号を取り出すのには、6 フレーム期間程度の時間が掛かることになり、その間は前の I フレームの信号が繰り返し出力される。これによりこのデコーダ回路 4 からは、各デコードされた I フレームがフレーム単位で所定時間ずつ間欠的に更新して取り出されるようにされた映像信号が出力されることになる。

【0035】

そしてこの装置において、このデコーダ回路 4 からの信号が継続に接続された 3 個のフレームメモリー 21、22、23 に供給され、順次供給されたフレームの信号が記憶される。さらにデコーダ回路 4 からの信号と、フレームメモリー 21、22、23 に記憶された信号が、それぞれ例えば係数 0.25 の加重回路となるアンプ 24、25、26、27 を通じて加算手段となる加算器 28 に供給される。またこの加算器 28 で加算された信号が出力端子 29 に取り出される。

【0036】

これによりこの装置において、同じフレームの信号が繰り返されている間は、アンプ 24～27 からは同じ信号が加算器 28 に供給されて、同じフレームの信号が出力端子 29 に出力される。これに対してデコーダ回路 4 からの信号が更新されると、まず最初のフレームでは前のフレームと更新されたフレームが 0.75 : 0.25 で加算された信号が出力され、次のフレームでは前のフレームと更

新されたフレームが 0. 5 : 0. 5 で加算された信号が出力される。

【 0 0 3 7 】

さらに次のフレームでは、前のフレームと更新されたフレームが 0. 2 5 : 0. 7 5 で加算された信号が出力される。そしてその次のフレームでは、更新されたフレームのみが出力されて、前のフレームと更新されたフレームとが徐々に入れ替えられて出力される。すなわちこの装置においては、4 フレームで前のフレームが更新されたフレームに置き換えられることになる。そしてこの動作がデコーダ回路 4 からの信号が更新される度に繰り返される。

【 0 0 3 8 】

こうしてこの装置によれば、デコーダ回路 4 でデコードされた I フレームが更新される度に、出力端子 2 9 には前のフレームと更新されたフレームとが徐々に入れ替えられた映像信号が出力されることになる。これにより観視者には、表示されるフレームが連続して変化されるように見えることになり、例えば従来のアナログ方式の V T R の高速サーチと同様の連続して変化される表示が見えることで、観視者に自然な感じを与えることができるものである。

【 0 0 3 9 】

従ってこの装置において、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、記憶手段と加重手段と加算手段による不帰還型の回路を用いてこの映像信号を徐々に入れ替えて出力することによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。

【 0 0 4 0 】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。

【 0 0 4 1 】

ところで上述の構成では、フレームメモリ 2 1 ~ 2 3 を用いてアンプ 2 4 ~ 2 7 の加重を全て係数 0. 2 5 として 4 フレームで入れ替えが行われる。これは例えば毎秒 5 フレームの表示で 6 フレームごとに信号が更新されている場合には適

当な値である。ところが例えば倍速値を30倍速や150倍速にした場合には、例えば次のアドレスにピックアップ2を送るまでの時間が長く掛かり、例えば毎秒3フレームの表示で10フレームごとの信号の更新となることがある。

【0042】

そこで例えば10フレームごとの更新に対して上述の4フレームの入れ替えでは、間欠的な表示が解消されずに不自然に見えてしまう恐れがある。これに対して、例えば破線図示のようにフレームメモリーの数を増やすと共に、各アンプでの加重の係数値を小さくして、入れ替えに掛かる時間を長くすることができる。すなわち例えばフレームメモリーの数7個とし、8個のアンプの係数値を0.125ずつとすることで、入れ替えの時間を8フレームにすることができる。

【0043】

しかしながらこのように入れ替えに掛かる時間を長くしておく、例えば更新が短い間隔で行われる場合に、更新時に前々のフレームの信号の影響が残っていることになり、却って不自然な表示になってしまう恐れがある。このような点に鑑みて上述の装置では、さらにフレームメモリーの数を増やすと共に、制御手段としてのマイクロコンピュータ5によってアンプでの加重の係数値を制御し、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができる。

【0044】

すなわち上述の装置において、表示されるフレームの更新の頻度は、例えば高速サーチの倍速値等によって予め定まっているものである。従ってマイクロコンピュータ5では、操作部7から設定される倍速値等によって表示されるフレームの更新の頻度を予め知ることができる。そしてこの頻度に応じて用いるフレームメモリーの数及びアンプでの加重の係数値を制御することにより、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができるものである。

【0045】

なお上述の実施の形態では、フレームメモリーを縦続に接続しているが、並列に設けられるメモリーを選択して順次に記憶を行わせるようなメモリー制御装置を設けて実現することもできる。また、アンプでの加重の係数値が例えば1フレーム期間ごとに制御できるのであれば、1個のフレームメモリーに前のフレーム

の信号を記憶させ、フレームメモリーとデコーダ回路からの信号を2個のアンプで加重の係数値を制御しながら加算して入れ替えを行うこともできる。

【0046】

従って上述の装置において、加重手段の係数を制御する制御手段として例えば制御用のマイクロコンピュータを設け、取り出した映像信号の入れ替えに掛かる時間を、例えばフレームの更新の頻度に応じて制御することによって、フレームの更新の頻度に変化しても表示の不自然さが生じないようにすることができるものである。

【0047】

ところで図3には、例えばフレームメモリー31と減算器32を用いて前後のフレームの差信号を検出し、この差信号をリミッター回路33で適当なレベルに制限して、減算器34で元の信号から減算することによって、ノイズを低減するようにしたノイズ低減回路の構成が示されている。ここでこのようなノイズ低減回路は例えばデコーダ回路4の後段に設けられるが、通常の再生時のみに必要とされるものであって、例えば上述の高速サーチでは不要となるものである。

【0048】

そこで図4は、このようなノイズ低減回路に設けられるフレームメモリー31を利用して、上述の映像信号を徐々に入れ替えて表示の不自然さを解消するようにした装置を形成するものである。なお、図4の実施形態では、例えばMPEG方式で圧縮された映像信号がディスク状の記録媒体に記録されている場合を示しているが、本発明は任意の圧縮方式に適用されるものであり、また、記録媒体もディスクに限らずテープ等の他の形式の記録媒体にも適用できるものである。

【0049】

図4において、例えばディスク1には、例えばMPEG方式で圧縮された映像信号が記録されており、このディスク1に記録された圧縮された映像信号がピックアップ2を通じて再生される。このピックアップ2からの再生信号が、再生処理部3に供給されて例えばMPEG方式のビットストリームが取り出され、このビットストリームが例えばMPEG方式のデコーダ回路4に供給される。これによってデコーダ回路4からは、圧縮を復元した映像信号が出力される。



## 【 0 0 5 0 】

すなわちこのデコーダ回路 4 では、例えば M P E G 方式で圧縮された映像信号の中から、例えば 1 5 フレームごとに設けられる単独でデコード可能な I フレームと呼ばれるフレームがデコードされる。そしてこのデコードされた I フレームを用いて、フレームの間の差分によって形成される P 及び B フレームと呼ばれるフレームがデコードされる。これにより、映像信号を形成する全フレームが復元されて、映像信号の再生が行われるものである。

## 【 0 0 5 1 】

そしてこの装置において、例えば高速サーチのような記録時とは異なる時系列で再生する場合には、例えば上述の単独でデコード可能な I フレームのみが順番にデコードされて映像信号が形成される。これによって例えば I フレームが映像信号の 1 5 フレームごとに設けられている場合には、この I フレームのみが再生されることで 1 5 倍速の高速サーチの再生が行われる。ただし、上述したように毎フレームに I フレームを検出してデコードすることはできないものである。

## 【 0 0 5 2 】

そこで上述したように、例えば 1 5 倍速で毎秒 5 フレームの表示が行われている場合には、各表示されるフレームは 9 0 フレームごとのものとなる。すなわち例えばデコーダ回路 4 で判別された I フレームのアドレスが制御用のマイクロコンピュータ 5 に供給され、このマイクロコンピュータ 5 では、例えば上述の倍速値と毎秒の表示フレーム数とから次に再生される I フレームのアドレスが算出される。そしてそのアドレスにピックアップ 2 を送るように制御が行われる。

## 【 0 0 5 3 】

なおデコーダ回路 4 にはメモリー 6 が併設され、このメモリー 6 に再生中の信号に関わる I フレームが記憶されている。従って例えば再生中に高速サーチへの切り換えが行われた場合には、まずこのメモリー 6 に記憶されている I フレームの信号が出力され、そこから例えば 9 0 フレーム後のアドレスにピックアップ 2 を送る制御が行われる。またマイクロコンピュータ 5 には、再生、停止の制御や高速サーチ時の倍速値の設定等が行う操作部 7 が設けられる。

## 【 0 0 5 4 】

このようにしてデコーダ回路 4 からは、例えば 9 0 フレームごとの I フレームの映像信号が取り出される。そしてこの場合に、例えば 9 0 フレーム後の I フレームの信号を取り出すのには、6 フレーム期間程度の時間が掛かることになり、その間は前の I フレームの信号が繰り返し出力される。これによりこのデコーダ回路 4 からは、各デコードされた I フレームがフレーム単位で所定時間ずつ間欠的に更新して取り出されるようにされた映像信号が出力されることになる。

## 【 0 0 5 5 】

そしてこの装置において、このデコーダ回路 4 の出力がスイッチ 3 5 の一方の固定接点 a に供給されると共に、このデコーダ回路 4 の出力がアンプ 1 1 を通じてスイッチ 3 5 の他方の固定接点 b に供給される。さらにこのスイッチ 3 5 の可動接点 c からの信号が減算器 3 4 の被減算入力に供給される。またこの減算器 3 4 の出力が出力端子 1 3 に供給されると共に、フレームメモリ 1 4 を兼ねるフレームメモリ 3 1 に供給される。なお符号は、上述の図 1、図 3 と共通である。

## 【 0 0 5 6 】

さらにデコーダ回路 4 の出力がスイッチ 3 6 の一方の固定接点 a に供給されると共に、このスイッチ 3 6 の他方の固定接点 b が接地される。そしてこのスイッチ 3 6 の可動接点 c からの信号が減算器 3 2 の被減算入力に供給される。また、フレームメモリ 3 1 の出力がスイッチ 3 7 の一方の固定接点 a に供給されると共に、このフレームメモリ 3 1 の出力がアンプ 1 5 に相当する反転アンプ 1 5' を通じてスイッチ 3 7 の他方の固定接点 b に供給される。

## 【 0 0 5 7 】

そしてこのスイッチ 3 7 の可動接点 c からの信号が減算器 3 2 の減算入力に供給され、この減算器 3 2 の出力がリミッター回路 3 3 に供給される。さらにこのリミッター回路 3 3 の出力がスイッチ 3 8 の一方の固定接点 a に供給されると共に、減算器 3 2 の出力がインバータ 3 9 を通じてスイッチ 3 8 の他方の固定接点 b に供給される。そしてこのスイッチ 3 8 の可動接点 c からの信号が減算器 3 4 の被減算入力に供給される。

## 【 0 0 5 8 】

かくしてこの装置において、スイッチ 3 5 ~ 3 8 が全て固定接点 a に接続され

た状態では、上述の図3と同じノイズ低減回路の構成となる。すなわちこの装置において、フレームメモリー31と減算器32を用いて前後のフレームの差信号が検出される。そしてこの差信号がリミッター回路33で適当なレベルに制限され、減算器34で元の信号から減算されることによって、ノイズを低減するようにしたノイズ低減回路が形成されている。

#### 【0059】

これに対してスイッチ35～38が全て固定接点bに接続されると、減算器32は被減算入力が接地され、減算入力に反転アンプ15'を通じた信号が供給されることによって、反転アンプ15'がそのまま通過される。また減算器34では、減算入力にインバータ39を通じた信号が供給されることによって加算が行われる。すなわちこの装置では、スイッチ35～38が全て固定接点bに接続されることによって上述の図1と同じ回路構成となる。

#### 【0060】

これによりこの装置において、同じフレームの信号が繰り返されている間は、アンプ11、15'からの同じ信号が減算器34で加算されて、同じフレームの信号が出力端子13に出力される。これに対してデコーダ回路4からの信号が更新されると、まず最初のフレームでは前のフレームと更新されたフレームが0.5:0.5で加算された信号が出力され、次のフレームでは前のフレームと更新されたフレームが0.25:0.75で加算された信号が出力される。

#### 【0061】

さらに次のフレームでは、前のフレームと更新されたフレームが0.125:0.875で加算された信号が出力されて、前のフレームと更新されたフレームとが徐々に入れ替えられて出力される。なおこのままでは前のフレームは永久に残っているように見えるが、実際には3～4フレーム程度で前のフレームの影響は検知限以下となり、更新されたフレームに置き換えられることになる。そしてこの動作がデコーダ回路4からの信号が更新される度に繰り返される。

#### 【0062】

こうしてこの装置によれば、デコーダ回路4でデコードされたIフレームが更新される度に、出力端子13には前のフレームと更新されたフレームとが徐々に

入れ替えられた映像信号が出力されることになる。これにより観視者には、表示されるフレームが連続して変化されるように見えることになり、例えば従来のアナログ方式のVTRの高速サーチと同様の連続して変化される表示が見えることで、観視者に自然な感じを与えることができるものである。

## 【0063】

従ってこの装置において、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、この映像信号を徐々に入れ替えて出力するようにしたことによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。

## 【0064】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。

## 【0065】

さらにこの装置においては、例えば高速サーチでは不要となるノイズ低減回路に設けられるフレームメモリーを利用して、上述の映像信号を徐々に入れ替えて出力する装置を形成することによって、新たなフレームメモリー等を用意することなく簡単な構成で、本発明を実施することができるものである。

## 【0066】

ところで上述の構成で、例えばアンプ11、15'での加重を共に係数0.5とした場合には3～4フレーム程度で入れ替えが行われる。これは例えば毎秒5フレームの表示で6フレームごとに信号が更新されている場合には適当な値である。ところが例えば倍速値を30倍速や150倍速にした場合には、例えば次のアドレスにピックアップ2を送るまでの時間が長く掛かり、例えば毎秒3フレームの表示で10フレームごとの信号の更新となることがある。

## 【0067】

そこで例えば10フレームごとの更新に対して上述の3～4フレームの入れ替えでは、間欠的な表示が解消されずに不自然に見えてしまう恐れがある。これに

対して、例えばアンプ 1 1 での加重を係数 0. 2 5、アンプ 1 5' での加重を係数 0. 7 5 とすることにより、前のフレームと更新されたフレームの割合とが、最初のフレームでは 0. 7 5 : 0. 2 5 となり、次のフレームでは 0. 5 6 2 5 : 0. 4 3 7 5 となって、入れ替えに掛かる時間を長くすることができる。

## 【 0 0 6 8 】

しかしながらこのように入れ替えに掛かる時間を長くしておく、例えば更新が短い間隔で行われる場合に、更新時に前々のフレームの信号の影響が残っていることになり、却って不自然な表示になってしまう恐れがある。このような点に鑑みて上述の装置では、さらに例えば制御手段としてのマイクロコンピュータ 5 によってアンプ 1 1、1 5' での加重の係数値を制御し、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができる。

## 【 0 0 6 9 】

すなわち上述の装置において、表示されるフレームの更新の頻度は、例えば高速サーチの倍速値等によって予め定まっているものである。従ってマイクロコンピュータ 5 では、操作部 7 から設定される倍速値等によって表示されるフレームの更新の頻度を予め知ることができる。そしてこの頻度に応じて予め設定された値にアンプ 1 1、1 5' での加重の係数値を制御することにより、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができる。

## 【 0 0 7 0 】

従って上述の装置において、加重手段の係数を制御する制御手段として例えば制御用のマイクロコンピュータを設け、取り出した映像信号の入れ替えに掛かる時間を、例えばフレームの更新の頻度に応じて制御することによって、フレームの更新の頻度に変化しても表示の不自然さが生じないようにすることができるものである。

## 【 0 0 7 1 】

さらに図 5 では、記録系を有する映像信号再生装置に本発明を適用する場合の実施形態について説明する。すなわち記録系において例えば M P E G 方式で映像信号を圧縮する場合には、一般的に復元より多くのフレームメモリーが必要とされる。従って再生時には、圧縮用に用意されたフレームメモリーの一部は使用さ

れずに置かれていることになる。そこでこのような不使用のフレームメモリーを利用して、上述の映像信号を徐々に入れ替える装置を形成することができる。

【 0 0 7 2 】

すなわち図 5 においては、映像信号の圧縮を行うエンコーダ回路 4 1 にはセレクトタ 4 2、4 3 の A 端子を通じて、映像信号の圧縮に必要な全量に相当するメモリー 4 4、4 5 が接続される。これに対して、映像信号の復元を行うデコーダ回路 4 6 にはセレクトタ 4 2 の B 端子を通じて一部のメモリー 4 4 が接続される。そこで上述の取り出した映像信号の入れ替えを行う入れ替え回路 4 7 に、セレクトタ 4 3 の B 端子を通じて残りのメモリー 4 5 が接続される。

【 0 0 7 3 】

そして記録時には、セレクトタ 4 2、4 3 を A 端子に切り替えてエンコーダ回路 4 1 にメモリー 4 4、4 5 を接続して圧縮を行う。また再生時には、セレクトタ 4 2 を B 端子に切り替えてデコーダ回路 4 6 にメモリー 4 4 を接続して復元を行うと共に、セレクトタ 4 3 を B 端子に切り替えて入れ替え回路 4 7 にメモリー 4 5 を接続する。このようにして、再生時には不使用のフレームメモリー 4 5 を利用して、上述の映像信号を徐々に入れ替える装置を形成することができる。

【 0 0 7 4 】

従ってこの装置において、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、この映像信号を徐々に入れ替えて出力するようにしたことによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。

【 0 0 7 5 】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。

【 0 0 7 6 】

さらにこの装置においては、映像信号の圧縮に用いられ、再生時には不使用のフレームメモリーを利用して、上述の映像信号を徐々に入れ替えて出力する装置

を形成することによって、新たなフレームメモリー等を用意することなく簡単な構成で、本発明を実施することができるものである。

【0077】

こうして上述の映像信号再生装置によれば、圧縮されて記録された映像信号をデコードして再生すると共に、デコードした映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す機能を有する映像信号再生装置であって、映像信号の1または複数のフレームを記憶する記憶手段と、取り出した映像信号及び／または記憶手段に記憶した映像信号にそれぞれ任意の係数を乗算する複数の加重手段と、複数の加重手段の出力信号を加算する加算手段とを有し、取り出した映像信号を徐々に入れ替えて出力することにより、表示される画像が連続的に変化されて、表示の不自然さを解消することができるものである。

【0078】

なお上述のフレームメモリーは、フレーム単位で格納するタイプに限らず、フィールド単位で格納するタイプであってもよい。

【0079】

また本発明は、上述の説明した実施の形態に限定されるものではなく、本発明の精神を逸脱することなく種々の変形が可能とされるものである。

【0080】

【発明の効果】

従って請求項1の発明によれば、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、この映像信号を徐々に入れ替えて出力するようにしたことによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができるものである。

【0081】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。

【0082】

また、請求項2の発明によれば、取り出した映像信号及び記憶手段に記憶した映像信号にそれぞれ任意の係数を乗算する複数の加重手段を設け、加算手段の加算信号を記憶手段に供給する経路と加算手段の加算信号を出力する経路とを有することによって、帰還型の回路を用いて映像信号を徐々に入れ替えて出力することができ、表示される画像が連続的に変化されて、表示の不自然さを解消することができるものである。

## 【0083】

また、請求項3の発明によれば、記憶手段には取り出した映像信号を順次記憶すると共に、記憶手段に記憶した複数のフレームの映像信号にそれぞれ任意の係数を乗算する複数の加重手段を設け、加算手段の加算信号を出力する経路を有することによって、不帰還型の回路を用いて映像信号を徐々に入れ替えて出力することができ、表示される画像が連続的に変化されて、表示の不自然さを解消することができるものである。

## 【0084】

また、請求項4の発明によれば、加重手段の係数を制御する制御手段を設け、取り出した映像信号の入れ替えに掛かる時間を制御することによって、フレームの更新の頻度が変化しても表示の不自然さが生じないようにすることができるものである。

## 【0085】

また、請求項5の発明によれば、記憶手段は、映像信号をフレーム単位またはフィールド単位で記憶することによって、フレームメモリーとしてフレーム単位で格納するタイプに限らず、フィールド単位で格納するタイプも使用することができるものである。

## 【0086】

また、請求項6の発明によれば、映像信号の前後のフレームを比較してノイズを低減するノイズ低減回路を有し、記憶手段としてノイズ低減回路に設けられる記憶装置を用いることによって、新たなフレームメモリー等を用意することなく簡単な構成で、本発明を実施することができるものである。

## 【0087】



また、請求項 7 の発明によれば、映像信号を圧縮するエンコーダ回路を有し、記憶手段としてエンコーダ回路に設けられる記憶装置を用いることによって、新たなフレームメモリ等を用意することなく簡単な構成で、本発明を実施することができるものである。

【0088】

また、請求項 8 の発明によれば、圧縮されて記録された映像信号を記録時とは異なる時系列で再生する際に取り出した映像信号を徐々に入れ替えて出力することによって、特に高速サーチにおいて間欠に表示される画像が連続的に変化されて、表示の不自然さを解消することができるものである。

【図面の簡単な説明】

【図 1】

本発明の映像信号再生装置の一の実施形態の構成図である。

【図 2】

本発明の映像信号再生装置の他の実施形態の構成図である。

【図 3】

ノイズ低減回路の構成図である。

【図 4】

本発明の映像信号再生装置のさらに他の実施形態の構成図である。

【図 5】

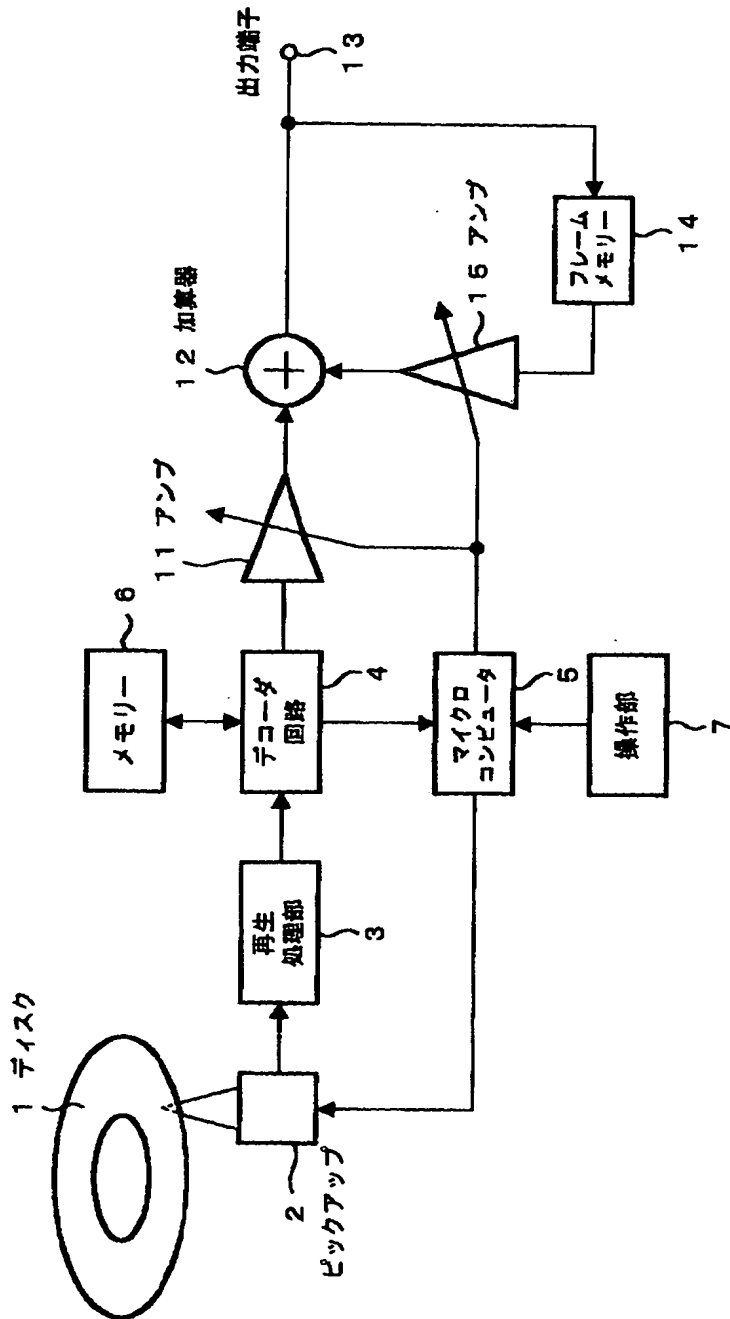
本発明の映像信号再生装置を記録系を有する装置に適用する場合の説明図である。

【符号の説明】

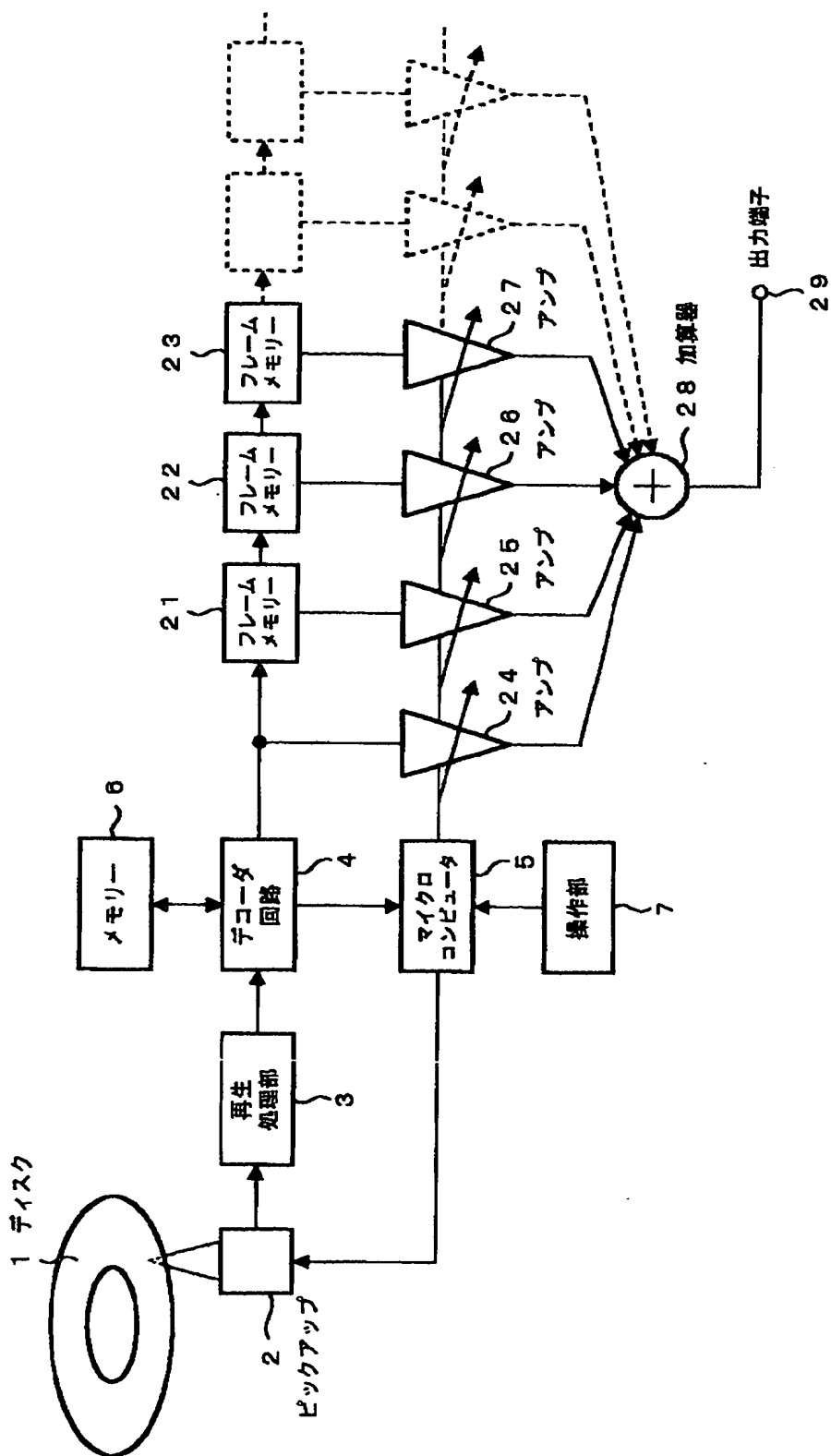
1 …例えば M P E G 方式で圧縮された映像信号が記録されたディスク、2 …ピックアップ、3 …再生処理部、4 …例えば M P E G 方式のデコーダ回路、5 …制御用のマイクロコンピュータ、6 …メモリ、7 …操作部、11 …第 1 の加重回路となるアンプ、12 …加算器、13 …出力端子、14 …記憶手段となるフレームメモリ、15 …第 2 の加重回路となるアンプ

【書類名】 図面

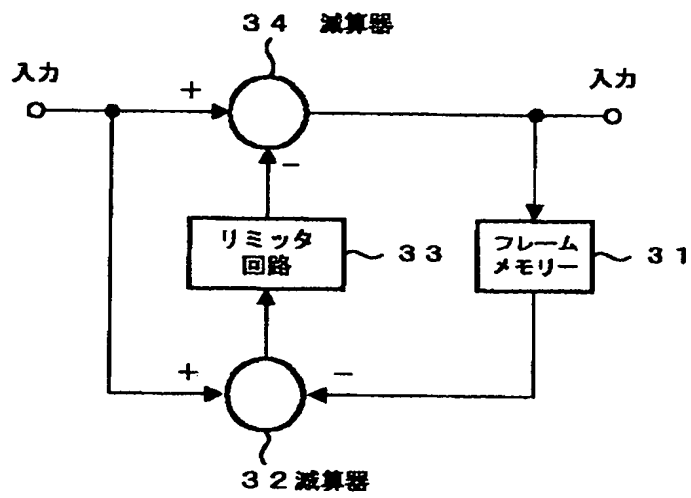
【図 1】



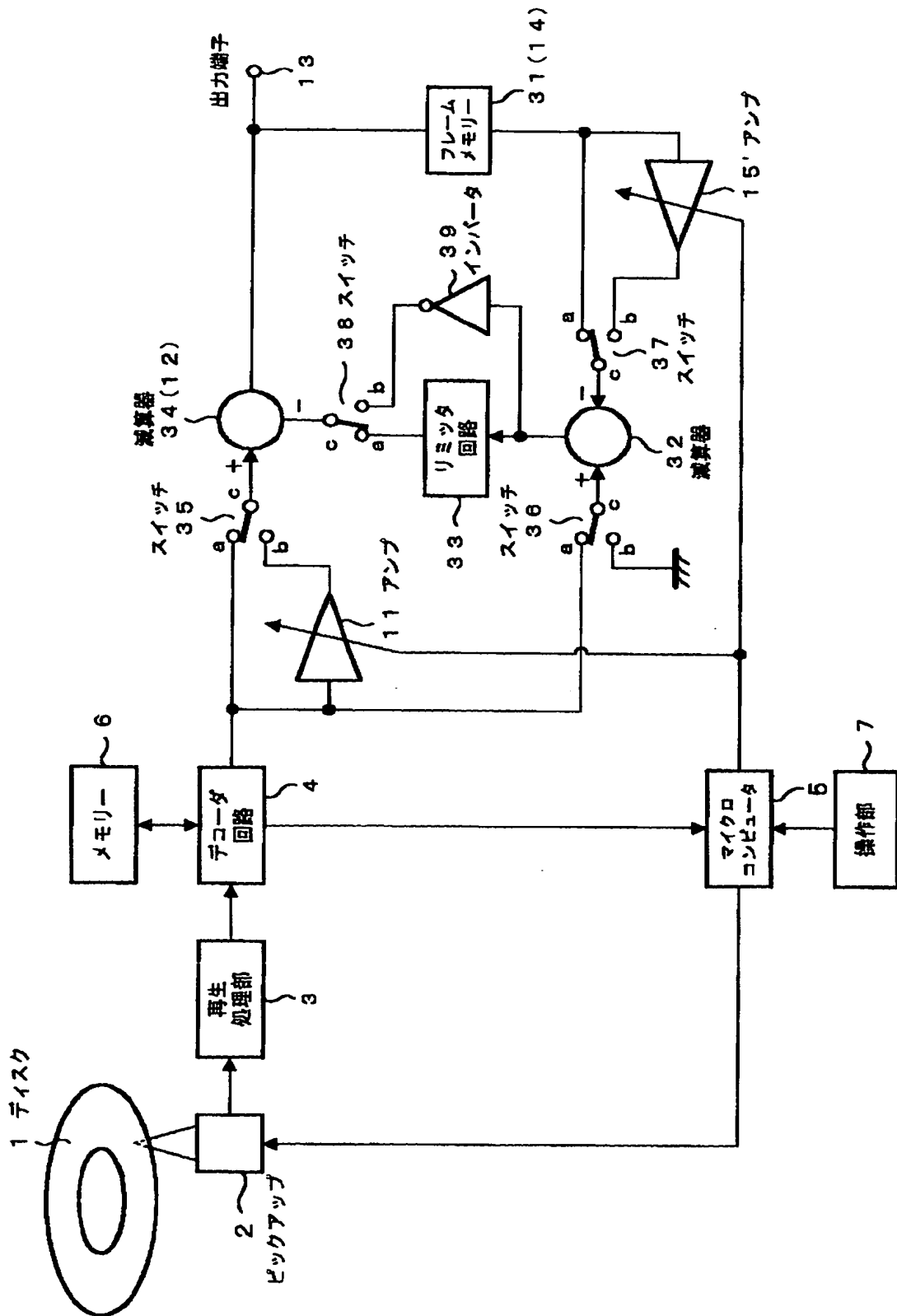
【図 2】



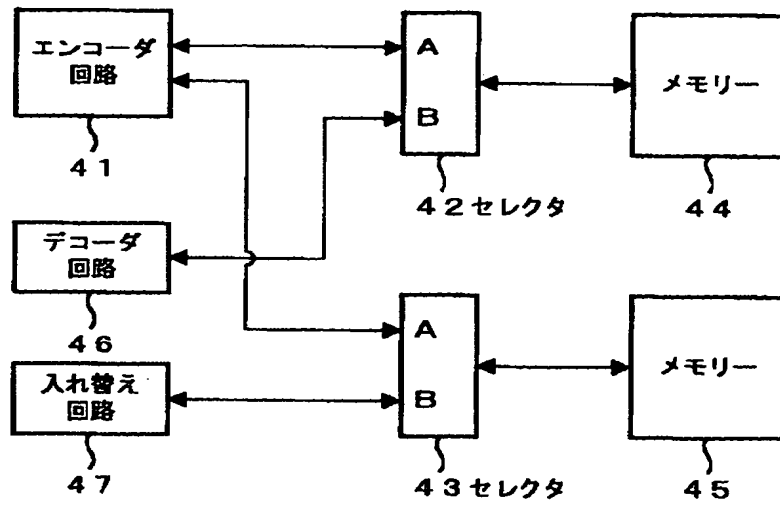
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 間欠的に更新される映像信号の表示の不自然さを解消する。

【解決手段】 ディスク 1 に記録された圧縮された映像信号がピックアップ 2 を通じて再生される。この再生信号が再生処理部 3 に供給されてビットストリームが取り出され、このビットストリームがデコーダ回路 4 に供給される。これによりデコーダ回路 4 からは圧縮を復元した映像信号が出力される。このデコーダ回路 4 からの信号が例えば係数 0.5 の第 1 の加重回路となるアンプ 11 を通じて加算手段となる加算器 12 に供給される。さらにこの加算器 12 からの加算信号が出力端子 13 に取り出されると共に、例えば 1 フレームの記憶手段となるフレームメモリー 14 に供給される。そしてこのフレームメモリー 14 に記憶された信号が例えば係数 0.5 の第 2 の加重回路となるアンプ 15 を通じて加算器 12 に供給される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社